

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-263352

(43)Date of publication of application : 22.11.1991

(51)Int.Cl.

H01L 21/76

(21)Application number : 02-063642

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.03.1990

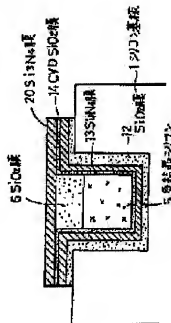
(72)Inventor : MAKINO TAKAMI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To eliminate a step on an U groove isolation stripe by covering the side and bottom of the stripe for isolating a semiconductor element with insulating films, burying the interior with a burying material, and covering the surface of the stripe with an antioxidative film.

CONSTITUTION: A silicon substrate 1, a polycrystalline silicon (burying material) 5, an SiO₂ film 6, an SiO₂ film 12, an Si₃N₄ film 13, an SiO₂ film 14, and an Si₃N₄ film 20 (antioxidative film) are formed. If the film 20 remains on a U groove isolation stripe, a step formed due to etching of the film 6 of the stripe at the time of cleaning step contained in the following process is eliminated. That is, the surface is covered with the film 20 at the time of forming the stripe, and the film 20 remains as it is. Then, an anxiety of wire disconnection, or shortcircuit on the stripe is eliminated to improve the yield of a semiconductor device and to enhance quality and reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-263352

⑬ Int. Cl.³

H 01 L 21/76

識別記号

庁内整理番号

L

7638-5F

⑭ 公開 平成3年(1991)11月22日

審査請求 未請求 請求項の数 2 (全6頁)

⑯ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 平2-63642

⑱ 出 願 平2(1990)3月13日

⑲ 発 明 者 牧 野 幸 実 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一

明 知 者

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体素子を分離するU溝分離槽の側面および底面が絶縁膜で被覆され、内部が埋設体で埋設されて、且つ、U溝分離槽の表面に耐酸化性膜で被覆されてなることを特徴とする半導体装置。

(2) シリコン基板を選択的にエッチングしてU溝を形成し、U溝の側面および底面に酸化シリコン膜を生成し、更に、酸化シリコン膜上に耐酸化性膜を被覆する工程と、

次いで、前記耐酸化性膜の表面に酸化シリコン膜を被覆し、更に、埋設体を埋設させる工程と、
次いで、前記埋設させたU溝分離槽上に耐酸化性膜を被覆する工程とが含まれてなることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

【概要】

U溝分離槽の構造とその形成方法に関し、

U溝分離槽の側面を被覆することを目指すとし、

構造は、半導体素子を分離するU溝分離槽の側面および底面が絶縁膜で被覆され、内部が埋設体で埋設されて、且つ、U溝分離槽の表面に耐酸化性膜で被覆されてなることを特徴とし、

製造方法は、シリコン基板を選択的にエッチングしてU溝を形成し、U溝の側面および底面に酸化シリコン膜を生成し、更に、酸化シリコン膜上に耐酸化性膜を被覆する工程と、次いで、前記耐酸化性膜の表面に酸化シリコン膜を被覆し、更に、埋設体を埋設させる工程と、次いで、前記埋設させたU溝分離槽上に耐酸化性膜を被覆する工程が含まれることを特徴とする。

【産業上の利用分野】

本発明は半導体装置とその製造方法に係り、特

にU溝分離(トレンチ分離)帯の構造とその形成方法に関する。

1 Cなどの半導体装置の製造方法においては、それを高集積化する目的で複数のU溝素子分離帯が設けられているが、このようなU溝は半導体デバイスの特性に悪影響を与えないように形成する必要がある。

【従来の技術】

第4図は従来のU溝分離帯の断面図を示しており、図中の記号1はシリコン基板、2は酸化シリコン(SiO₂)膜、3は窒化シリコン(Si₃N₄)膜、5は多結晶シリコン、6はSiO₂膜である。

その形成方法の概要は、シリコン基板1のU溝分離帯形成領域のみ選択的に露出させ、リアクティブイオンエッチング(RIE)法によってエッチングしてU溝を形成し、U溝の内面を熱酸化して内部表面にSiO₂膜2を生成した後、U溝内部のSiO₂膜2上に化学気相成長(CVD)法によ

ってSi₃N₄膜3を成長させる。次いで、同じくCVD法によって溝内部に多結晶シリコン5を埋設させ、更に、その多結晶シリコン膜5の表面を熱酸化してSiO₂膜6を生成して完成させている。

このような素子分離帯をトレンチ(Trench)分離帯と云い、初期にはU溝分離帯であったが、近年、ドライエッチング法の発達と共に、又、高集積化の要請によって、このようなU溝分離帯が採用されており、別名をIOP膜(Isolation with Oxide and Polysilicon)とも呼ばれている。

且つ、U溝の内面にSiO₂膜2を生成する理由が、エッチングしたままではエッチング欠陥などが存在するから界面が不安定になるためで、熱酸化してSiO₂膜を生成して、これを除去するものである。また、Si₃N₄膜3を被着する理由は、このSi₃N₄膜3はU溝分離帯だけでなく、基板上の全面に被着するから、U溝に多結晶シリコン5を埋設させて、その表面を熱酸化してSiO₂膜6を生成する際、基板面を酸化から防止するため、しかも、このようなSi₃N₄膜3の存在はSi

- 3 -

O₂膜6の生成による膨張のストレスを抑える効果があるからである。

なお、多結晶シリコンを埋設させる代わりに、酸化シリコンを埋設させる方法も考えられるが、酸化シリコンは多結晶シリコンに比べて溝内部への被覆性が低く、溝内部に空洞を発生し易いため、従って上記の多結晶シリコン5を埋設させる方法が用いられている。

【発明が解決しようとする課題】

ところで、上記のように多結晶シリコン5を埋設させて、その表面にSiO₂膜6を生成させたU溝分離帯の構造は致密性が乏しい欠点がある。

例えば、U溝分離帯を形成した後にMOS素子を形成するとすると、シリコン基板を希酸(HF)液でエッチングするクリーニング処理がおこなわれて、その後には清浄なSiO₂膜からなるゲート絶縁膜が生成されている。そのクリーニング処理時にU溝分離帯表面のSiO₂膜6がエッチングされてU溝分離帯面に欠陥を生じる。第5図はそ

- 4 -

の従来の問題点を示す図で、10はゲート絶縁膜、その他の記号は第4図と同一部位に同一番号が付けられているが、U溝分離帯表面が突出したSi₃N₄膜3を有する凹凸形状に形成することを示している。

そのように、U溝分離帯面に欠陥が生じれば、装置間の接続や配線の断絶や短絡が起こって半導体デバイスの製造歩留は勿論、品質や信頼性も低下させる問題が生じる。

本発明はこのような問題点を除去し、U溝分離帯面の欠陥を解消させることを目的としたU溝分離帯の構造と製造方法を提案するものである。

【課題を解決するための手段】

その課題は、半導体素子を分離するU溝分離帯の側面および底面が絶縁膜で被覆され、内部が埋設体で埋設されて、且つ、前U溝分離帯の表面に

- 5 -

- 6 -

は酸化性酸で処理されている平滑体装置によって解決される。

是つ、その製造方法は、シリコン基板を選択的にエッチングしてU溝を形成し、該U溝の側面および底面に酸化シリコン膜を生成し、更に、酸化シリコン膜上に耐酸化性酸を被覆する工程と、次いで、前記耐酸化性酸の表面に酸化シリコン膜を被覆し、更に、層剥離を連続させる工程と、次いで、前記層剥離させたU溝分離帯上に耐酸化性酸を被覆する工程とが含まれる製造方法とを特徴とする。

【作用】

即ち、本発明は、U溝分離帯の形成時に表面に Si_3N_4 膜を被覆して、その Si_3N_4 膜をそのまま残存させる。

そうすれば、U溝分離帯間の前線や端線の心配がなくなり、半導体デバイスの歩留率および高品質化、高信頼性を図ることができる。

- 7 -

ていない構造である。即ち、 Si_3N_4 膜20を残存させておけば第2図のように積層して製造工程を簡単化することができる。同様に、 Si_3N_4 膜20の存在によって段差の生じることがなくなる。

次に、第3図(例)は本発明にかかる形成方法の工程順断面図を示しており、本例は第1図に示す構造の形成方法である。

第3図(例)参照：まず、シリコン基板1面を熱酸化して SiO_2 膜22(膜厚 100~300 Å)を生成し、その上にCVD法によって Si_3N_4 膜23(膜厚 100 Å)とPSG膜25(膜厚 0.5 ~ 1 μm)を被覆し、更に、これらの膜をフォトリソプロセスによってパターンニングして、選択的に SiO_2 膜22を介した Si_3N_4 膜23とPSG(準シリケートガラス)膜25を被覆したマスクを形成し、U溝分離帯形成領域4のみにシリコン基板1を露出させた状態にする。更に、臭素(Cl_2)系ガスを反応ガスとしたRIB法によって露出にエッチングして、例えば、開口幅 0.5 μm、深さ 2.0 μm程度のU溝を形成する。

- 9 -

【実施例】

以下、図面を参照して実施例によつて詳細に説明する。

第1図は本発明にかかるU溝分離帯の新断面を示しており、図中の記号1はシリコン基板、5は多結晶シリコン(埋没体)、6は SiO_2 膜、12は SiO_2 膜、13は Si_3N_4 膜、14は SiO_2 膜、例(CVD SiO_2 膜と称す)、20は Si_3N_4 膜(耐酸化性酸)である。本例のように、 Si_3N_4 膜20をU溝分離帯の面上に残存させておけば、以降の工程に含まれる洗浄時のクリーニング処理時にU溝分離帯等の SiO_2 膜6がエッチングされて面上に段差を生じることがなくなる。

なお、分離帯表面に形成した SiO_2 膜6がエッチングされる恐れがなくなれば、その工程時に除去しても構わない。

また、第2図は本発明にかかる他のU溝分離帯の断面図を示しており、図中の記号は第1図と同一部位に同一記号が付けてあるが、本例は多結晶シリコン5表面を熱酸化して SiO_2 膜6を生成し

- 8 -

第3図(例)参照：次いで、暴露面露出を用いてPSG膜25をエッチング除去した後、U溝側面および底面を熱酸化して SiO_2 膜12(膜厚 500 Å)を生成し、更に、U溝内部を含む露出上の全面にCVD法によって Si_3N_4 膜13(膜厚 500 Å)およびCVD SiO_2 膜14(膜厚 300 Å)を被覆する。

第3図(例)参照：次いで、全面にCVD法によって多結晶シリコン5(埋没体)を厚さ1 μm程度に被覆して、U溝内部を埋没させる。この時、多結晶シリコン5はU溝内部だけでなく露出上面にも被覆する。なお、本図より SiO_2 膜22には SiO_2 膜12を含み、 Si_3N_4 膜23には Si_3N_4 膜13を含んで図示している。

第3図(例)参照：次いで、基板上面にも被覆した多結晶シリコン5を研磨またはエッチバックして除去する。

第3図(例)参照：次いで、多結晶シリコン5の表面を熱酸化して SiO_2 膜6を生成する。このとき、 Si_3N_4 膜13がマスクになってシリコン基板面は酸化されない。

- 10 -

第3図の参照：次いで、CVD法によつてSi、N、膜20（膜厚1000〜2000Å；耐酸化性膜）を全面に被覆する。

第3図の参照：次いで、フォトリソセスによつてU溝分離帯のみ被覆するレジスト膜マスク26を形成した後、RIE法でSi、N、膜20を露状的にエッチング除去し、U溝分離帯上にのみSi、N、膜20を残存させる。

第3図の参照：更に、U溝分離帯以外の基板上に被覆しているCVD SiO_2 膜14、Si、N、膜13および SiO_2 膜12をエッチング除去すれば、本発明にかかるU溝分離帯が完成する。

上記のような本発明にかかるU溝分離帯は、分離帯上にSi、N、膜20が被覆しているが、その膜厚は1000〜2000Å程度と薄いため凸状は小さく、且つ、その後のウェーブプロセスにおいて、表面がエッチングされないために露差が生じない効果を得られる。

なお、上記実施例は耐酸化性膜としてSi、N、膜20を使用した例であるが、その他の材料膜、例

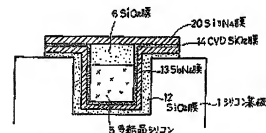
えばCVD SiO_2 膜を用いることもできる。このCVD SiO_2 膜を用いる場合には、エッチングによる露差を考慮して厚く被覆しておく必要がある。

[発明の効果]

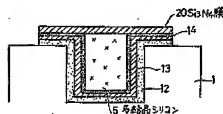
以上の説明から明らかなように、本発明にかかるU溝分離帯の構造およびその形成方法によれば、U溝分離帯部分の露差が解消してICデバイスの製造歩留の向上および品質、信頼性の向上に大きな効果が得られるものである。

4. 図面の簡単な説明

第1図は本発明にかかるU溝分離帯の断面図、第2図は本発明にかかる他のU溝分離帯の断面図、第3図a〜dは本発明にかかる形成方法の工程順断面図、第4図は従来のU溝分離帯の断面図、第5図は従来の問題点を示す図である。



本発明にかかるU溝分離帯の断面図
第1図

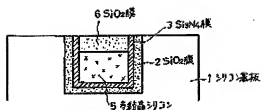


本発明にかかる他のU溝分離帯の断面図
第2図

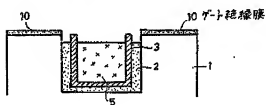
- 1はシリコン基板、
2、6、12、22は SiO_2 膜、
3、13、23はSi、N、膜、
5は多結晶シリコン（阻体）、
10はゲート絶縁膜、
14はCVD SiO_2 膜、
20はSi、N、膜（耐酸化性膜）、
26はレジスト膜マスク
を示している。

代理人 井堀士 井 裕 貞 一





従来のP溝分離帯の断面図
第 4 図



従来の問題点を示す図
第 5 図